

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-114969

(43)Date of publication of application : 02.05.1997

(51)Int.Cl.

G06T	1/60
G06F	5/00
G06F	12/02
G06F	13/28
G06T	1/00

**(21)Application number : 07-266788**

(71)Applicant : HITACHI LTD

(22)Date of filing : 16.10.1995

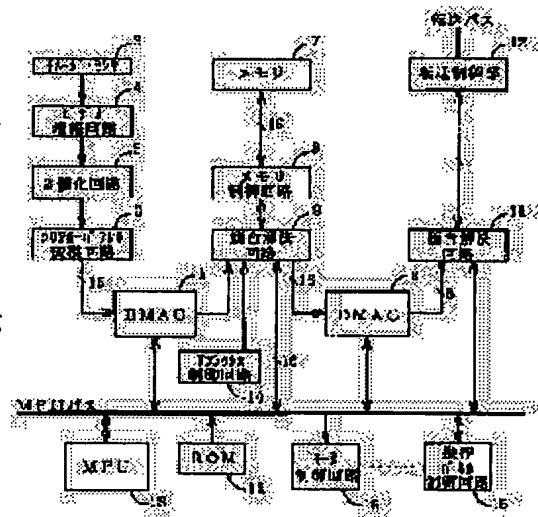
(72)Inventor : UCHIDA TAKAHIRO  
HARA ISAO  
FUKUSHI MOTONOBU

**(54) IMAGE READER**

**(57)Abstract:**

**PROBLEM TO BE SOLVED:** To effectively utilize a storage means and to improve the performance by segmenting and transferring a rectangular area from the storage means, where image data are shared with the data of an MPU, while performing word/ byte conversion.

**SOLUTION:** A DMAC 2 for transferring image information stored in a memory 7 to a transfer control part 12 can segment and transfer the rectangular area while performing the word/byte conversion by using a buffer provided inside and a one-bit flag register showing the validity of contents in that buffer. Thus, the high-performance image reader can be provided while suppressing the load on an MPU 13 sharing the memory 7.



## LEGAL STATUS

**[Date of request for examination]**

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

**[Date of final disposal for application]**

[Patent number]

**[Date of registration]**

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]



(2)

1

## 【特許請求の範囲】

【請求項1】 取り扱う対象となる一単位分のイメージ情報を記憶できる容量を持ち、且つ、あるビット幅で構成される記憶手段と、前記記憶手段に記憶したイメージ情報を、整数倍すると前記記憶手段のビット幅と等しくなるビット幅を一単位として順次外部に転送する外部転送手段と、前記記憶手段から読み込んだイメージ情報を一時記憶するバッファと、当該バッファに記憶されている情報が有効であるかどうかを示す1ビットのフラグレジスタとを備えた画像読み取り装置。

【請求項2】 特許請求の範囲第1項に記載の画像読み取り装置において、前記記憶手段から前記外部転送手段へのイメージ情報の転送を行うDMACを備え、当該DMACが、前記バッファおよびフラグレジスタと、前記バッファに記憶されている情報から、今回転送すべき情報を選択するセレクトと、前記記憶手段に対するアドレスカウンタおよび転送の対象となる矩形領域の情報を計数するカウンタから構成されていることを特徴とする画像読み取り装置。

【請求項3】 特許請求の範囲第2項に記載の画像読み取り装置において、前記アドレスカウンタが、通常は前記外部転送手段の転送単位に進行し、前記矩形領域の幅に相当する情報を転送する毎に、任意量をアドレスカウンタに加算することで矩形領域の転送が可能なことと、前記記憶手段からの読み込みを機に前記フラグレジスタに真または偽いずれかの第1の値を設定し、前記バッファから最後のイメージ情報を前記外部転送手段に転送するか、前記アドレスカウンタに対する加算の発生を機に前記フラグレジスタに第1の値と逆の第2の値を設定し、当該フラグレジスタの内容により前記記憶手段か前記外部転送手段のどちらかに対してアクセスを要求することとを特徴とする画像読み取り装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は画像読み取り装置に関し、特に、当該画像読み取り装置において取り扱う対象となる1単位分のイメージ情報を記憶する手段を備え、外部にイメージ情報を転送する際に、前記記憶手段に記憶した1単位分のイメージ情報から任意の矩形領域を切り出して転送する機能を備えた画像読み取り装置に関する。

## 【0002】

【従来の技術】 従来、低価格の画像読み取り装置では、読み取り対象の一面分を格納するだけの記憶手段は持たずに、それ以下の容量の記憶手段をバッファとして使用する形態のものが多かった。これは、一面分の画像メモリを備えることによるコスト増を考慮したものである。一方で、一面分のイメージ情報を格納する記憶手段を備えることにより、複数矩形領域の切り出し転送を可能としたり、先行読み取りによるシステムの性能向上を図る

2

ことが可能になる。

【0003】 また、画像メモリに関して低コスト化を図る手段として、特開平2-278473で提案されている、CPUのデータを記憶する記憶装置と、画像データを一時記録する記憶装置とを共用化することにより、1つの記憶装置内の空エリアの有効利用を図る、というものがある。この構成に、指定領域を切り出して転送する手段を加えた場合、次のような問題が生じる。画像読み取り装置と上位装置を接続するインタフェースとして近年主流となっているSCSI-2等の方式では、転送データのバス幅は8ビットであることが多い。一方、画像イメージの格納に使用する記憶手段をCPUのワーク用メモリとしても共用することから、CPUの性能を考慮すれば、記憶手段のバス幅は16ビットまたは32ビットが必要となってくるであろう。ここで、16ビットまたは32ビットでアクセス可能な記憶手段から8ビット単位でイメージ情報を取り出すと、それだけ記憶手段へのアクセスが増え、CPUに負荷が掛かることになる。一方、記憶手段のビット幅でイメージ情報を取り出してそのまま転送すると、切り出し領域の指定が16ビットあるいは32ビット単位と粗くなってしまう。

## 【0004】

【発明が解決しようとする課題】 本発明は、対象物から取り込んだイメージ情報のうち必要とする任意の矩形領域、特に複数の矩形領域を切り出して転送する手段を備えた画像読み取り装置を提供するものである。

【0005】 さらに、本発明は、転送したイメージ情報を、転送した先が処理している間に、次のイメージ情報を先行して取り込みむことで、システムの性能を向上させることが可能な画像読み取り装置を提供するものである。

【0006】 さらに、本発明は、対象物からイメージ情報を取り込むのと同時に、取り込んだイメージ情報を転送することで、取り込みの開始から転送の終了までの時間を短縮することも可能な画像読み取り装置を提供するものである。

【0007】 最後に、本発明は、以上に述べた課題を、資源を有効活用しながら実現した、安価な画像読み取り装置を提供するものである。

## 【0008】

【課題を解決するための手段】 本発明の画像読み取り装置、取り扱う対象となる一単位、例えばある大きさの帳票一面分を記憶できる容量を持ち、ランダムアクセスが可能で、且つ、あるビット幅で構成される記憶手段と、当該記憶手段に対する複数の書き込みや読み込みなどの要求に、優先順位に応じて許可を与える競合解決手段と、対象物からイメージ情報を取り込んで電気信号に変換するイメージセンサと、当該イメージセンサから取り込んだイメージ情報を前記記憶手段のビット幅のデジタル信号に変換するイメージ情報変換手段と、前記記憶

(3)

3

手段に記憶したイメージ情報を、整数倍すると前記記憶手段のビット幅と等しくなるビット幅を一単位として順次外部に転送する外部転送手段と、前記イメージ情報変換手段から前記記憶手段へのイメージ情報の転送を独立して行う第1のDMAC（ダイレクト・メモリ・アクセス・コントローラ）と、前記記憶手段から、前記外部転送手段へのイメージ情報の転送を独立して行う第2のDMACと、画像読み取り装置に必要なその他の制御対象及び制御回路と、それらを制御する1個以上のMPU（マイクロ・プロセッサ・ユニット）と、当該MPUの動作に必要なプログラムおよび情報を記録した記憶手段から成っている。

【0009】特に、前記第2のDMACは、前記記憶手段から読み込んだイメージ情報を一時記憶するバッファと、当該バッファに記憶されている情報が有効であるかどうかを示す1ビットのフラグレジスタと、前記バッファに記憶されている情報から、今回転送すべき情報を選択するセレクトと、前記記憶手段に対するアドレスカウンタおよび転送の対象となる矩形領域の情報を計数するカウンタから成り、前記アドレスカウンタが、通常は前記外部転送手段の転送単位に進行し、前記矩形領域の幅に相当する情報を転送する毎に、任意量をアドレスカウンタに加算することで矩形領域の転送が可能なことと、前記記憶手段からの読み込みを機に前記フラグレジスタに真または偽いずれかの第1の値を設定し、前記バッファから最後のイメージ情報を前記外部転送手段に転送するか、前記アドレスカウンタに対する加算の発生を機に前記フラグレジスタに第1の値と逆の第2の値を設定し、当該フラグレジスタの内容により前記記憶手段か前記外部転送手段のどちらかに対してアクセスを要求することと、前記第1のDMACが持つ前記記憶手段に対するアドレスカウンタが、前記第2のDMACが持つアドレスカウンタ以下の場合、第2のDMACから前記記憶手段に対する要求を無効化する手段を備えたものである。

【0010】

【発明の実施の形態】図1は本実施例の画像読み取り装置の回路構成を示すブロック図である。以下に図1に従って、本実施例を記述する。

【0011】まず、イメージ・センサ3は、イメージ情報を電気信号に変換し、ビデオ増幅回路4に電気信号を伝達する。ビデオ増幅回路4は、2値化回路5で処理することが可能となるように、イメージ・センサ3から伝達された電気信号に対して増幅その他の信号処理を行う。2値化回路5は、ビデオ増幅回路4で信号処理された電気信号を、0または1のデジタル信号に変換する。ここで0は黒、1は白に対応する。または、その逆に対応させることもできる。シリアル・パラレル変換回路6は、2値化回路5が出力した1ビットの連続するデジタル信号を、16ビットの幅を持ったパラレル信号

4

へと変換する。なお本実施例では、イメージ情報を2値化して扱うが、2値化回路5とシリアル・パラレル変換回路6の代わりに、イメージ情報を多値、例えば8ビット256階調に変換する回路を使用した場合においても、本発明を適用できる。同様にしてカラー情報も扱うことが可能である。

【0012】本実施例ではランダムアクセス可能な記憶手段として、メモリ7を使用する。本実施例においてはメモリ7は容量1MByteのD-RAMとする。メモリ7の容量1MByteは、イメージ・センサ3の分解能を200dpi（1インチ当り200画素）とした場合、B4サイズ（257mm×364mm）までのイメージ情報を記憶することができ、さらに余分が生じる量である。従って、メモリ7の128KByte程度をMPU13からイメージ情報記憶以外の目的で使用する。但し、本発明はメモリの容量が1MByteに限定されるものではない。

【0013】競合解決回路9は、メモリ7に対して書き込み、読み出しまたはリフレッシュを行う各種要求元に接続される。本実施例では、イメージ情報の書き込みを行うDMAC1、イメージ情報の読み出しを行うDMAC2、メモリ7のリフレッシュ制御を行うリフレッシュ制御回路10、およびイメージ情報の転送以外の目的でメモリ7を読み書きするMPU13を接続する。ここで、ランダムアクセス可能な記憶手段として、リフレッシュ動作が不要なメモリ、例えばスタティック・メモリを使用した場合は、リフレッシュ制御回路10は不要となる。また、メモリ7をMPU13から読み書きする必要がない場合は、競合解決回路9に接続しない。

【0014】競合解決回路9は、これら要求元からの要求に対して、優先順位に基づいて応答を返し、メモリ7へのアクセスを許可する役割を持つ。競合解決回路9によって応答を与えられた要求元は、メモリ制御回路8を介して、メモリ7にアクセスを行う。ここで、メモリ制御回路8はメモリ7を動作させるために必要な各種信号の制御を行う。

【0015】本実施例では、イメージ情報の外部転送手段に、ANSI X3.131-199Xで規定されているSCSI-2プロトコルを使用する。転送制御部12はSCSI-2の規定に基づいた情報伝達を行うための、手順制御および信号変換を行う。競合解決回路11は、転送制御部12へアクセスを行う要求元であるDMAC2とMPU13からの要求に対して応答を返し、転送制御部12へのアクセスを許可する役割を持つ。ここでMPU13から転送制御部12へのアクセスが不要な場合、またはDMAC1からのアクセスとの衝突がないことが明らかな場合は、競合解決回路11は不要である。本実施例では転送制御部12へのアクセスは、メモリ7のバス幅16ビットの半分である8ビットで行う。但し、本発明は外部転送手段にSCSI-2プロトコル

(4)

5

を使用した、これに限定されるものではない。

【0016】DMAC1は、シリアル-パラレル変換回路6が出力する16ビット幅のイメージ情報をメモリ7へ、順次記憶させる役割を持つ。DMAC1は、メモリ7に対するアドレス情報を持っている。このアドレス情報は、DMAC1の転送動作を開始する以前に、メモリ7のアドレス空間のうちイメージ情報を記憶する領域の先頭を指すように設定されている必要がある。この設定はMPU13からの指示により行う。次にMPU13からの指示により、転送動作を開始したら、シリアル-パラレル変換回路6から新しいイメージ情報を受け取る毎に、競合解決回路9に対して転送要求を出し、応答を待つ。応答を受け取ったら、前記アドレス情報と前記イメージ情報をメモリ制御回路8に出力し、メモリ7の該当する領域に16ビット幅の前記イメージ情報を書き込む。その後、DMAC1内のアドレス情報を次のイメージ情報を格納するアドレスへと更新する。また、DMAC1はその内部に、転送するイメージ情報の量を計数するためのカウント情報を持っている。当該カウント情報は、前記アドレス情報と同様に、転送動作を開始する以前にMPU13の指示により、適切な数値に設定される必要がある。当該カウント情報は、前記アドレス情報と同様に、前記イメージ情報をメモリ7へ書き込む動作の後に計数を更新する。そして、設定された転送を終えたときに、DMAC1の転送動作を停止させるものである。

【0017】ここで、DMAC1の前記アドレス情報、前記カウント情報、および前記転送動作の開始をMPU13からの指示によるものではなく、他の手段により実現することも可能である。例えば、前記アドレス情報および前記カウント情報は固定値とし、転送動作を行っていないときにDMAC1自身で設定する。そして、イメージ情報を読み取る対象物の位置関係等から、DMAC1の転送開始を示す電気信号を生成し、当該電気信号の変化をDMAC1の転送開始とすることなどができる。

【0018】DMAC2は、前記DMAC1によりメモリ7に記憶されたイメージ情報を、イメージ情報の外部転送手段である転送制御部12へ転送する役割を持つ。ここで、メモリ7との接続は16ビット幅であるのに対して、転送制御部12との接続は8ビット幅であるため、DMAC2は、16ビット（ワード）から8ビット（バイト）に変換するための機能を持っている。また、メモリ7に記憶されたイメージ情報から希望した矩形領域のみを切り出して転送するための機能を持っている。また、DMAC1と同時に動作する場合において、DMAC1がメモリ7にまだ書き込んでいないイメージ情報を読み出してしてしまうことを防ぐための機能を持っている。これらの機能の詳細および実現方法は以降に記述する。また、DMAC2はメモリ7に記憶されたイメージ情報以外の情報、例えばSCSI-2規格を実現するた

6

めに必要なコマンド情報等を転送することもできる。さらに、逆方向の転送を行い、メモリ7に書き込めるようにすることも可能である。

【0019】MPU13は、ビデオ増幅回路4、2値化回路5、シリアル-パラレル変換回路6、DMAC1、DMAC2、転送制御部12、モータ制御部15、操作パネル制御回路16等の制御を行うための指示を発行する。ROM14には、MPUが動作するためのプログラムおよび情報が記憶されていて、MPU13はこれを読み込んで動作を行う。または、転送制御部12を介して、プログラムおよびその他の情報をメモリに取り込み、それを読み込んで動作する。

【0020】モータ制御回路15は、本発明の画像読み取り装置の搬送系を実現するためのモータの制御を行う回路である。操作パネル制御回路は、表示や入力を行う操作パネルを制御するための回路である。その他、画像読み取り装置の制御に必要な各種制御回路はMPUバスを介して、MPU13に接続され、MPU13により制御される。もし、MPU13の処理能力が不足して、全ての制御対象を制御できない場合は、別のMPUを追加し処理を分担する。

【0021】次に、前記DMAC2によって実現される機能について記述する。

【0022】図2は、指定矩形領域転送を示す。イメージ情報記憶領域101は、前記メモリ7のうち、前記DMAC1によってイメージ情報が記憶された領域を示す。指定矩形領域102は、イメージ情報記憶領域101のうち転送する矩形領域を指定したものである。本実施例では、主走査方向は転送制御部12のビット幅より8画素単位、副走査方向は1画素単位で矩形領域が指定可能である。イメージ情報記憶領域101から指定矩形領域102を切り出して行う転送を、以後指定矩形領域転送と呼ぶ。

【0023】当該指定矩形領域転送を行うことにより、前記外部への情報伝達手段を介して転送する情報の量を減少させることが可能となる。例えば、本発明を光学文字読取装置の読取部として適用した場合、文字認識の対象となる矩形領域のみを転送することで、処理時間の短縮が図れる。さらに、複数の帳票形式が混在している場合において、帳票形式を識別する識別情報の書き込まれた矩形領域を最初に転送し、その、帳票形式を識別したのちに、その帳票形式で必要な矩形領域を転送することができる。

【0024】図3は前記指定矩形領域転送に必要な各種の情報を示す。先頭アドレス201は指定矩形領域206の先頭位置を示す。転送量202は、転送する情報の量の合計を示す。矩形領域幅205は、指定矩形領域206の幅を示す。非指定領域幅204は指定矩形領域206に含まれない、左右の幅の合計を示す。本実施例においては、これらの値は転送制御部のバス幅8ビットす

(5)

7

なわちバイト単位で示される。実際の転送は次の手順で行う。まず先頭アドレス201から転送を開始する。矩形領域幅205で示すバイト数まで順次転送を行い(図3では右方向に進む)、その後非指定領域幅204で示すバイト数をアドレスに加算する。これにより次に転送するのは指定矩形領域206の左上隅の1画素下となる。同様にして転送を続け、転送量202で示すバイト数を転送後停止する。以上の動作をメモリ7のバス幅16ビット(ワード)から転送制御部12のバス幅8ビット(バイト)への変換と合せて行うことで、指定矩形領域

【0025】図4および図5は、自動停止機能を示す。DMAC1アドレスカウンタ301は、前記DMAC1の持つ前記メモリ7に対するアドレス情報で、イメージ情報を書き込む位置を示している。DMAC2アドレスカウンタ302は、前記DMAC2の持つ前記メモリ7に対するアドレス情報で、イメージ情報を読み込む位置を示している。図4では、DMAC2アドレスカウンタが指す情報は、既にDMAC1により書き込まれているため、DMAC2はメモリ7からイメージ情報を読み出して、転送制御部12へと転送することができる。一方、図5では、DMAC2アドレスカウンタが指す情報は、まだDMAC1により書き込まれていないため、DMAC2はDMAC1が当該アドレスのイメージ情報を書き込むまで、一時停止する必要がある。以下この機能を自動停止機能と呼ぶ。

【0026】図6は、先行読み取り制御を示すタイムチャートである。ここで、DMAC1のイメージデータ記憶動作401は、前記DMAC1がシリアルーパラレル変換回路6の出力したイメージ情報を前記メモリ7に格納する動作であり、この動作は、画像読み取り装置の機構系、光学系との関係から、ほぼ一定速度で進行する。DMAC2のイメージデータ転送動作402は、前記DMAC2がメモリ7からイメージ情報を読みだし、前記転送制御部12に出力する動作であり、この動作は転送制御部12の転送先、この場合ではSCSIバスの状況により、転送速度は変動する。

【0027】ここで、DMAC1のイメージデータ記憶動作401がある程度進んでからDMAC2を起動する。前記自動停止機能により、DMAC2がDMAC1を追い越してしまうことはなく安全に転送できる。DMAC2の転送が終了した後、転送したイメージ情報を上位装置で処理している間に、次の読み取り動作を開始する。これにより、システム全体のスループットが向上する。

【0028】図7はDMAC2がワードーバイト変換を行うときに、考慮しなければならない各ケースを示している。(a)は、偶数アドレス(上位バイトを指す)から転送が開始し、奇数アドレス(下位バイトを指す)で終了するケースである。(b)は、奇数アドレスから転送が

8

開始し、偶数アドレスで終了するケースである。奇数アドレスから転送開始する場合、ワードで読み込んだデータのうち、上位バイトは無効となり転送されない。また、偶数アドレスで転送終了する場合、ワードで読み込んだデータのうち、下位バイトは無効となり転送されない。(c)は、奇数アドレスのデータまで転送した後、指定矩形領域転送のためにアドレスがジャンプして、偶数アドレスとなり、転送を再開するケースである。(d)は、偶数アドレスのデータまで転送した後、アドレスがジャンプして、奇数アドレスから再開するケースである。偶数アドレスのデータまで転送した後でジャンプが発生した場合、ワードで読み込んだデータのうち下位バイトは無効となり転送されずに、ジャンプ後のワードが読み込まれる。ジャンプ後奇数アドレスから再開する場合、ワードで読み込んだデータのうち、上位バイトは無効となり転送されない。

【0029】図8は前記DMAC2の構成を示すブロック図である。以下この図に従ってDMAC2の説明を記述する。

【0030】WNCNTレジスタ501は前記矩形領域幅205を記憶するレジスタである。当該レジスタは前記MPU13から値の書き込みおよび読み出しが可能である。WNCNTレジスタ502は前記矩形領域幅205を計数するためのカウンタである。当該カウンタは、DMAC2が転送していないときは前記WNCNTレジスタの値を取り込んでいる。転送中は、転送制御部12への転送が1つ終る毎に、すなわちOACK信号528を機に値を1減じる。WNCNTカウンタ502の値が1になると、比較器510の出力であるJUMP信号520が真となる。JUMP信号520が真の場合、WNCNTカウンタは1を減じる代わりに、再度WNCNTレジスタの値を取り込む。つまり、WNCNTカウンタは1の次に0とならずに最初の値に戻る。

【0031】JMPADRレジスタは前記非矩形領域幅204を記憶するレジスタである。当該レジスタは前記MPU13から値の書き込みおよび読み出しが可能である。

【0032】アドレスカウンタ504はMPU13からの値の書き込みおよび読み出しが可能である。DMAC2が転送動作を開始する前に、MPU13は当該アドレスカウンタ504に前記指定矩形領域101の先頭アドレス201を書き込む。転送動作中のアドレスカウンタ504の動作は加算器511によって制御される。前記JUMP信号520が真でないときは、転送制御部12への転送が1つ終る毎に、すなわちOACK信号528を機に値を1加算する。前記JUMP信号520が真のときは、OACK信号528を機に前記JMPADRレジスタ503の値に1を加えた値を加算する。ここで、当該アドレスカウンタ504の値はバイト単位のアドレスである。従って、アドレスカウンタ504が偶数の場合と、それに1を加えた奇数の場合は、メモリ7に対しては同じ情報(16ビット)を指すことになる。当該アドレスカウンタ504の

(6)

9

値はADDR信号523として、メモリ制御回路8へと出力される。

【0033】転送量カウンタ505は、前記指定矩形領域206の転送量202を計数するカウンタである。当該カウンタは、DMAC2が転送動作を開始する前に、MPU13によって値を書き込まれる。転送中は、転送制御部12への転送が1つ終る毎に、すなわちOACK信号528を機に値を1減じる。転送量カウンタ505の値が1になると、比較器512の出力であるEND信号526が真となる。END信号526が真になると、DMAC2は転送動作を終了し停止状態へと推移する。

【0034】フラグレジスタ506は、上位バッファ507と下位バッファ508に記憶されている情報が有効であるか、無効であることを示す1ビットのレジスタである。

【0035】当該フラグレジスタの制御により、図7に示す各種組合せの全てを実現することができる。

【0036】当該フラグレジスタ506の値が真であるときは、上位バッファ507と下位バッファ508の記憶している値が有効であることを示し、偽であるときは無効であることを示す。

【0037】当該フラグレジスタ506の値が真、すなわちバッファの記憶している値が有効である場合は、転送制御部12へのアクセス要求信号であるOREQ信号527が真になる。逆に当該フラグレジスタ506の値が偽、すなわちバッファの記憶している値が無効である場合は、メモリ7へのアクセス要求信号であるIREQ信号521が真になる。ただし、DMAC2が停止状態のとき、当該フラグレジスタは偽にセットされ、IREQ信号521とOREQ信号527のいずれも真とはならないものとする。

【0038】当該フラグレジスタ506は、メモリ7からの読み込んだとき、すなわちIACK信号522により、その値が真となる。また、クリア条件513が成立したとき、その値が偽となる。クリア条件513が成立するのは、アドレスカウンタ504の値が奇数かつOACK信号528が真のとき、または、JUMP信号520が真かつOACK信号528が真のときである。このクリア条件513は、メモリ7から16ビット（ワード）の情報を読み込んで、その上位8ビットおよび下位8ビットの両方の転送を終えたとき、および、前記JUMP信号520が真となり、アドレスカウンタ504の値にJMPADRレジスタが加算されたときに対応している。

【0039】上位バッファ507および下位バッファ508はメモリ7から読み込んだ16ビット（ワード）の上位8ビット（IDATAU信号524）、下位8ビット（IDATAL信号525）のそれぞれを一時記憶するためのレジスタである。当該バッファは競合解決回路9からの応答であるIACK信号522を機に値を取り込んで、以後その値を保持する。

10

【0040】セクタ514は、前記アドレスカウンタ504の値が偶数の場合は、前記上位バッファ507の値を、アドレスカウンタ504の値が奇数の場合は、前記下位バッファ508の値を選択し、ODATA信号529として出力する。

【0041】なお、以上の説明では、ワード（16ビット）中のバイト（8ビット）データのアドレス割当てがビッグエンディアン、すなわち、上位バイトが偶数アドレス、下位バイトが奇数アドレスであるものとしていたが、その逆のリトルエンディアンの場合においても、前記セクタ514の動作を逆にすればよいものである。

【0042】以上で説明したDMAC2（図8）により、本発明の特徴の一つであるワードからバイトへの変換を含めた指定矩形領域転送を実現することができる。

【0043】さらに、前記DMAC1のアドレスカウンタの値が、DMAC2のアドレスカウンタの値よりも大きい（先に進んでいる）場合のみ、図8における前記IREQ信号521を有効にし、DMAC1のアドレスカウンタの値が、DMAC2のアドレスカウンタの値以下である場合には、IREQ信号521を無効にする回路を追加すれば、前記自動停止機能を実現する。

【0044】

【発明の効果】本発明の画像読み取り装置は、対象物の一単位分のイメージ情報を記憶可能な記憶手段を備えているため、先行読み取り制御が可能となり、システムのスループットの向上が図れる。また、自動停止機能を備えることにより、イメージ情報の取り込みと転送を同時に行うことができる。

【0045】また、記憶手段に記憶したイメージ情報から1つ以上の指定矩形領域を切り出して転送することで、転送量を減らすことができる。

【0046】さらに、記憶手段をMPUと共用することが可能であり、記憶手段のバス幅で読み込んだイメージ情報を、転送手段のバス幅に変換する機能を備えることで、MPUにかかる負荷が少ない。

【図面の簡単な説明】

【図1】画像読み取り装置の構成を示すブロック図である。

【図2】複数の指定矩形領域転送図である。

【図3】指定矩形領域転送の実現方法図である。

【図4】自動停止機能が働かないケース図である。

【図5】自動停止機能が働くケース図である。

【図6】先行読み取り制御を示すタイムチャート図である。

【図7】ワード→バイト変換の各種ケース図である。

【図8】DMAC2の構成を示すブロック図である。

【符号の説明】

101…記憶手段中のイメージ情報格納領域、102…指定矩形領域、201…指定矩形領域の先頭アドレス、202…指定矩形領域の転送量、204…

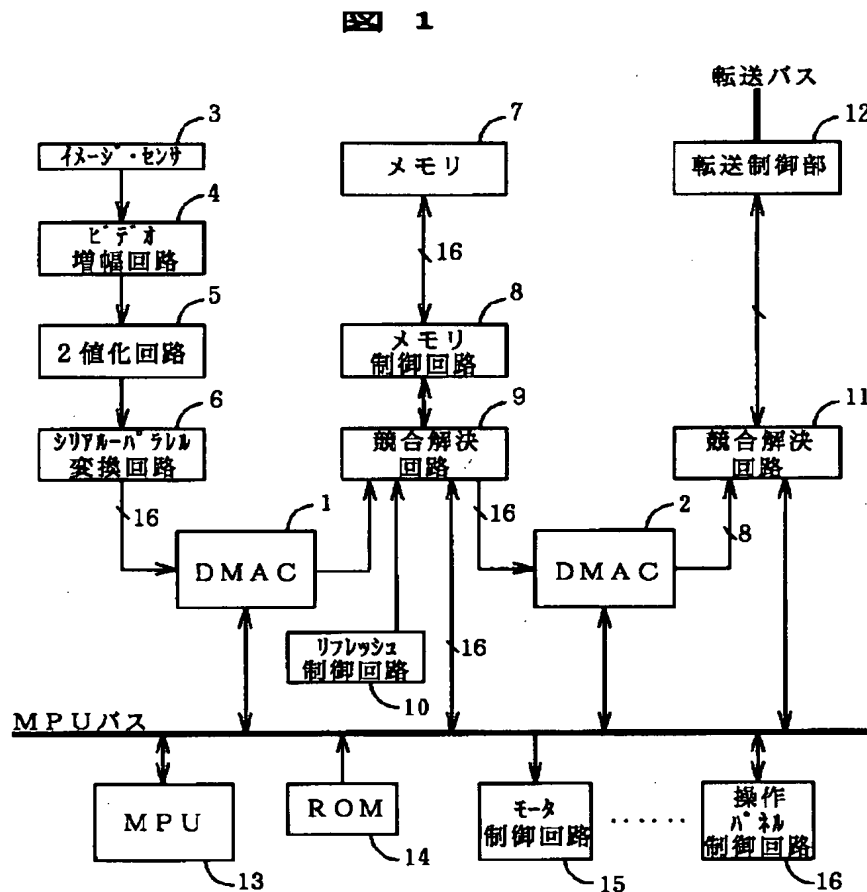
50



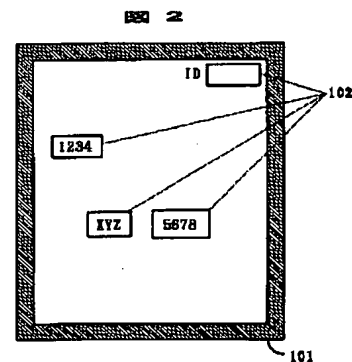
(7)

非指定矩形領域の幅、205…指定矩形領域の幅。

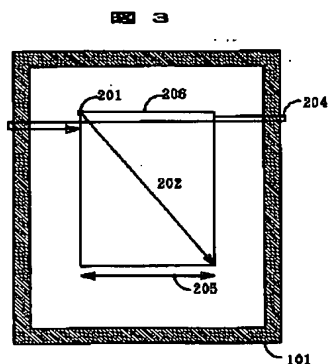
【図1】



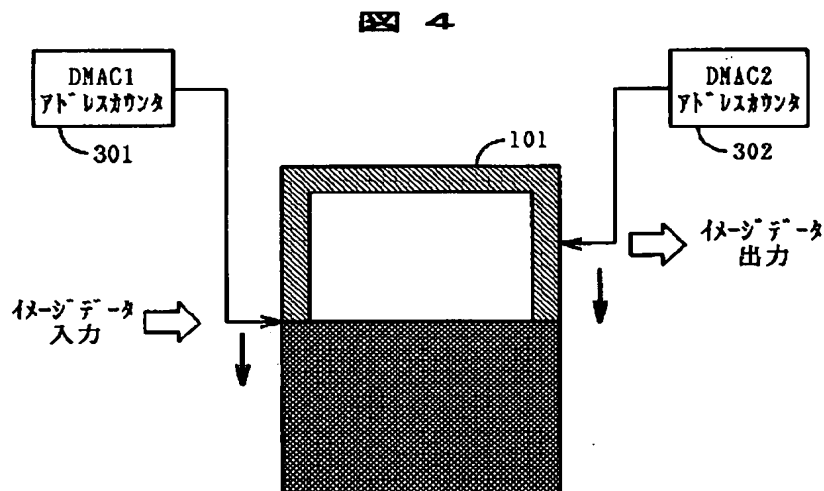
【図2】



【図3】

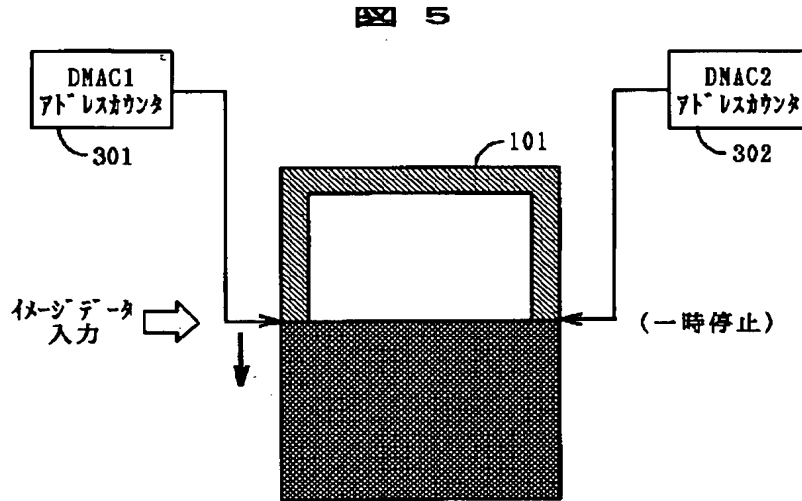


【図4】

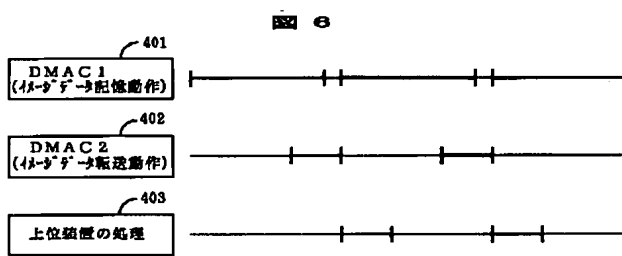


(8)

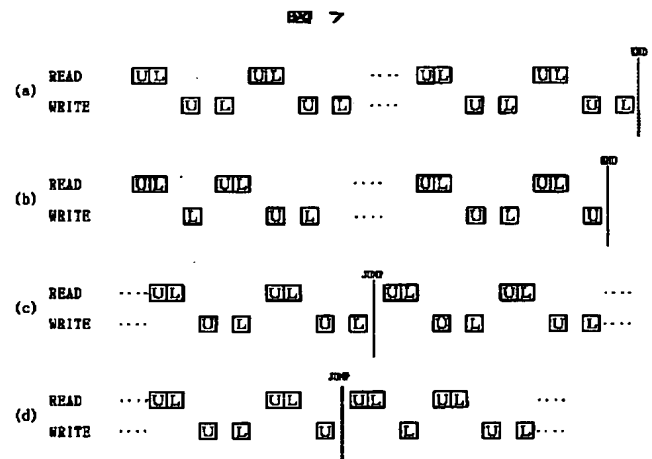
【図5】



【図6】



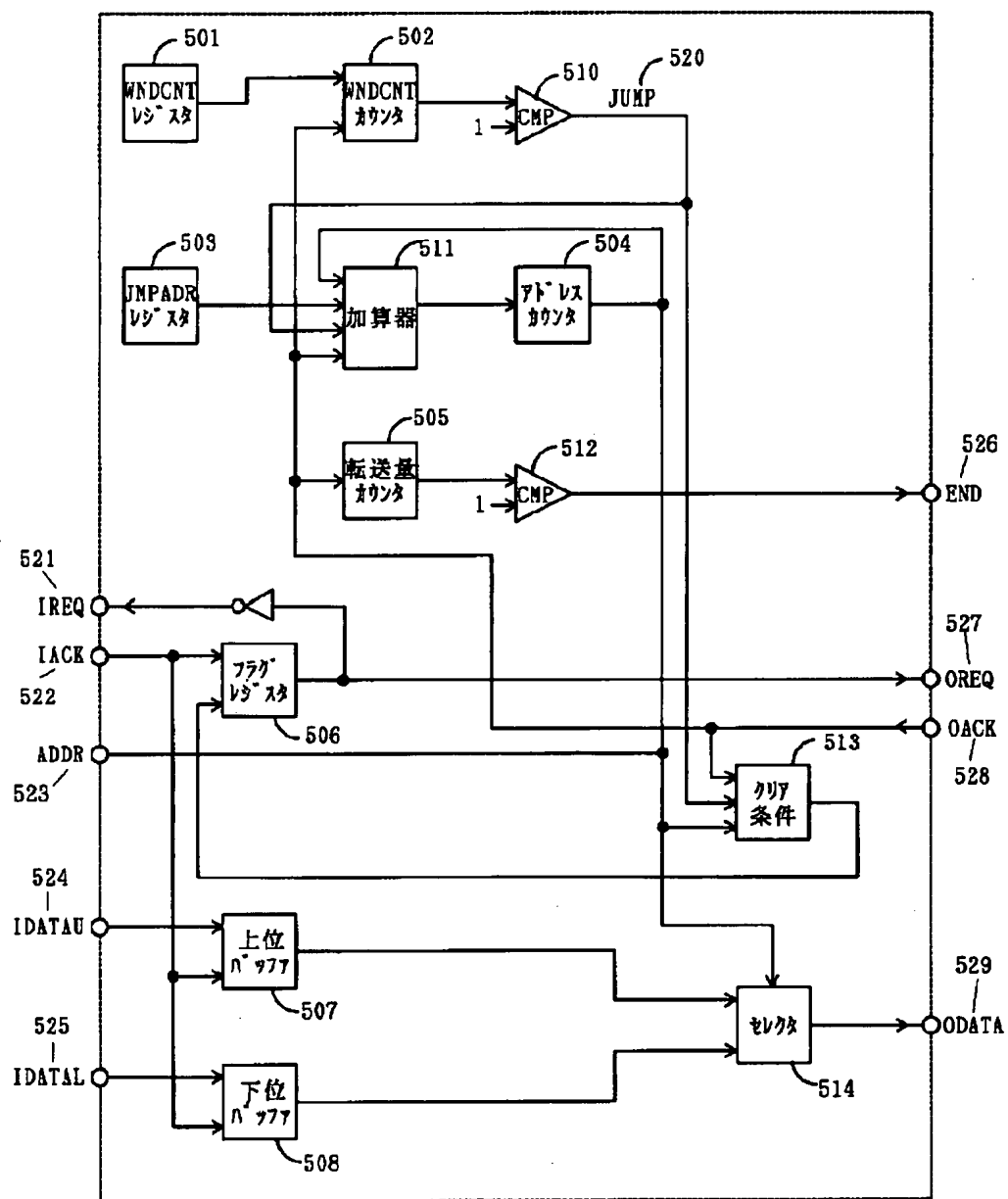
【図7】



(9)

【図8】

図 8



フロントページの続き

(51) Int. Cl. 6

G 0 6 T 1/00

識別記号

庁内整理番号

F I

G 0 6 F 15/64

技術表示箇所

3 4 0 A